

ミニマルファブ対応膜厚検査装置

Interference Thickness Meter for Minimal Fab

西里 洋

Hiroshi NISHIZATO

飯田 裕

Hiroshi IIDA

松田 賢昭

Takaaki MATSUDA

原 史朗

Shiro HARA

産総研コンソーシアムであるミニマルファブに対応した膜厚検査装置を作成した。光の反射干渉方式を採用し分光反射率測定を行う専用の光学系を設計した。本装置は特にISO Class3の局所クリーン化技術及び計測光源の経時的な光量変化に対して定期的な自動補正を行うなど全自動インライン計測に要求される機能を有している。またSi上の熱酸化膜を計測した場合50~1000 nmの範囲では±2 nm以内の膜厚計測精度を得ることができた。レジスト1層、およびSOI 3層構造を測定した例では、エリプソ膜厚測定装置と1%以内でよい一致を示している。

The Minimal Fab was established by Fab System Research Consortium in AIST as Semiconductor Factory which smallest production unit. This Fab system will achieve small quantity and large variety devices by using half inch wafer. Currently simple CMOS devices can be made by use Minimal process and packaging tools. HORIBA STEC developed Minimal optical thickness tester by use interferometer. This measurement tool is required by CVD, Etch, lithograph work flows. The feature of this optical thickness tester will be described in this report.

はじめに

ミニマルファブは、最少の製造単位を持つ半導体工場を目的として設立された産総研コンソーシアムである。ここでは、12.5 mmのウエハを使用し1チップ単位での加工を行うことにより多品種少量生産を効率よく行えるファブシステムをめざしている。現在、基本的なCMOS(Complementary metal-oxide-semiconductor)プロセスが可能なプロセスとパッケージングの装置が出来ており将来的には研究-開発-生産を見据えたLSI(大規模集積回路)量産ラインの構築を目指している。株式会社堀場エステックは、ミニマルに対応した膜厚検査装置を作成しインラインでの成膜、エッチング、リソグラフィ用レジスト等の膜厚検査工程への導入を目的としている。今回は光干渉を用いた膜厚計を作成したので本稿ではその特徴を紹介する。

ミニマルファブ向け干渉膜厚計の基本構成

ミニマルファブ向け装置は、高さ1440 mm、幅294 mm、奥行き450 mmとそのサイズが固定されておりこの筐体サイズの中に干渉膜厚計を組み込み、さらに半導体デバイスを製造するため異物の無い清浄な空間に保持する必要がある。このために12.5 mmのウエハはミニマルシャトルと呼ばれるケースに収納されプロセス装置もしくは検査装置間

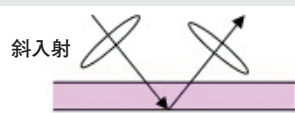

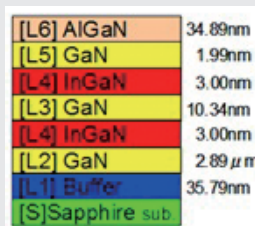
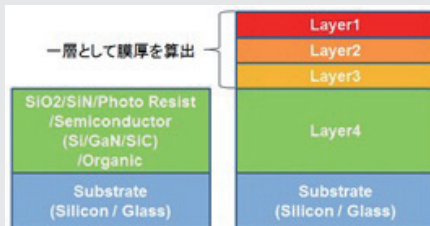


Figure 1 Minimal tool and wafer

を移動し、プラッドと呼ばれる搬送装置を介してミニマル内の清浄な空間に運ばれ処理が行われる。Figure 1にミニマル外観とウエハ及びミニマルシャトルを示す。超小型半導体製造システム『ミニマルファブ』は2014年度グッドデザイン賞を受賞し、グッドデザイン・ベスト100に選定された。

測定原理としては、光の反射干渉を用いた反射干渉膜厚計である(Table 1)。エリプソメトリに比べ光の垂直入射を

Table 1 Comparison of ellipsometry and interference thickness meter

項目	Auto-SE/SmartSE (HORIBA Jobin Yvon)	反射干渉膜厚計
測定原理	エリプソメトリ	反射干渉
膜厚	1 nm~15 μm 膜厚と屈折率の同時測定可能	50 nm~15 μm 膜厚測定のみ屈折率の固定が必要
屈折率	測定可	測定不可 (屈折率はエリプソなどによる測定が必要)
分光波長範囲	450-1000 nm	450-800 nm
スポットサイズ	500×500 μm (ピンホール・入射角度による)	65 μm
観察カメラ	あり	組み込み可能
特徴	<ul style="list-style-type: none"> ・ P,S偏光成分を分離した分光スペクトル測定 ・ 膜による偏光変化 ・ 非破壊, 非接触 ・ 誘電体透明な膜に適用 	<ul style="list-style-type: none"> ・ 反射率の分光スペクトル測定 ・ 膜の表面と膜境界面から反射される光の干渉 ・ 非接触, 非破壊, 微小エリアの測定が可能 ・ 誘電体, 透明な膜に適用 ・ 膜の屈折率が既知である必要がある 
測定対象例	<ul style="list-style-type: none"> ・ 1 nmの単層膜, 多層膜 ・ 各層の屈折率差が大きい場合, 以下のような多層膜測定が可能(下図はもっとも複雑な膜の例) 	<ul style="list-style-type: none"> ・ 基本的には上記膜厚範囲の単層膜 ・ 多層膜を一層として評価可能 

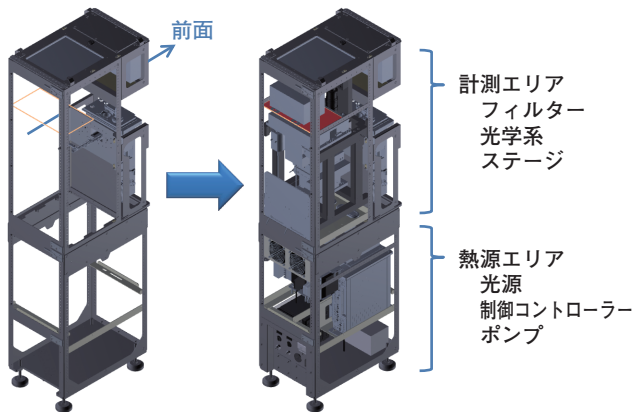


Figure 2 System configuration of minimal optical thickness tester

使用するために光学系をコンパクトに設計・配置する事が可能である。

Figure 2に今回作成したミニマル光干渉膜厚計の構成を示す。干渉膜厚計においてもウエハを清浄度の高い空間に保持し測定・検査する必要がある。このためにミニマル膜厚計としてはウエハを取り扱う清浄な空間とそれ以外の空間とを隔離し独立に気流の流れを作る事とした。筐体は上部計測エリアと下部熱源エリアに分離し、計測エリアの空間には、上部にフィルター、光学系さらにその下方にステージを配している。下部熱源エリアには発塵に影響する多量の熱を出す光源や分光器、制御用のモータードライバー、PC、電源及び排熱の為にファンを設置し上部計測エリアと隔離している。

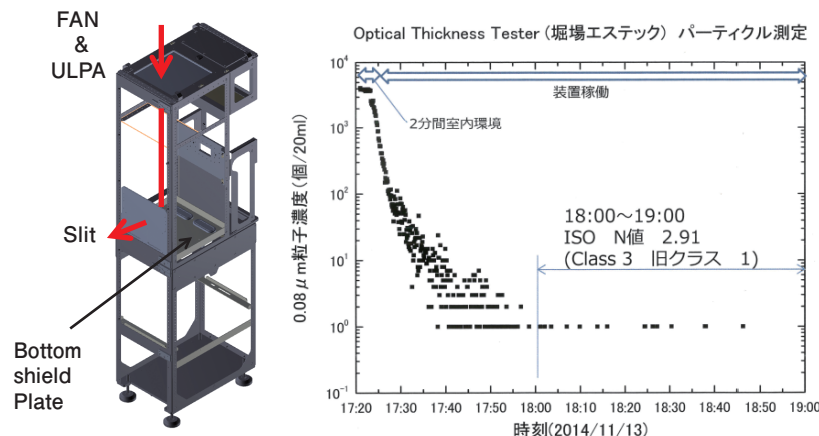


Figure 3 Cleanliness measurement of upper-part internal-space of minimal optical thickness tester

上部計測エリアではULPAフィルタ(Ultra Low Penetration Air Filter)とファンを組み合わせ上面に設置しウエハに対しては空気の流れがダウンフローかつ微陽圧になるように設定している。これらの構成・調整によりISO Class3程度の清浄な空間を作り出すことが出来た。またFanも35 db以下のものを使用し静粛性も確保している。

Figure 3に筐体の空気流れと実際に測定系を組み込み時のパーティクルの推移を示

す。動作開始40分後にISO Class3に達しており装置内の局所クリーン化が出来る事を示している。

光学系とウエハ位置の検出

Figure 4に計測エリアに設置された測定系の構成を示す。

基準面に固定された濃い赤色で表されたAlフレームにウエハ位置検出カメラ、測定光学系、ステージが設置されておりさらにこのフレームがミニマルのPLAD部分にある基準プレートと接続されている。これらが3次的に固定されている為にウエハオリフラ*1、センタ検出から測定までの位置が決定され測定位置の制御が正確に行える構造となっている。測定光学系は、下部エリアに設置された光源及び分光器と光ファイバーを介して接続されておりこれら熱源を下部エリアに置く構造となっている。

*1：オリフラ (Orientation flat)：結晶軸の方向を示すためにウエハ周上につけられた直線の切れ込みのこと。

分光反射率による薄膜の膜厚計測

計測にはハロゲンランプによる白色光を測定試料に照射させ、分光器を用いて試料表面からの分光反射率スペクトルを取得する。試料表面からの反射光と、基板、薄膜の境界面からの反射光は、反射光路上で互いに干渉することから、反射率スペクトル上では周期的に信号量の強弱を示す干渉波形が観察される (Figure 5)。

この干渉波形は、試料上に構成される薄膜の膜厚、物性に基づく光学定数(屈折率、消衰係数)により、理論モデルを構成できるため、計測した反射率スペクトルと対比し、モデルとの誤差量の収束演算を行うことで測定試料の膜厚の

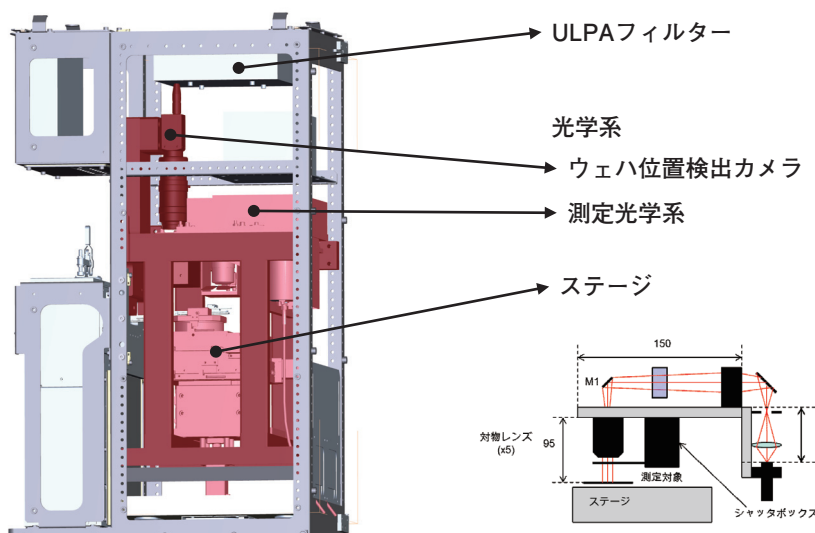


Figure 4 Upper-part internal-space of minimal optical thickness tester

決定を行う。

分光反射率計のシステムのベースに株式会社堀場製作所のRN-100を使用しているが、今回はウエハ上の特定位置の膜厚計測の目的から、本装置のためにCCDカメラによるウエハ表面の観察と、分光反射率測定を同軸同焦点で行う専用の光学系を設計している。計測対象として100 μm²のパターン内の膜厚計測を想定し、顕微鏡用の対物レンズを搭載することでおよそ65 μmの測定スポットサイズを実現している (Figure 6)。

RN-100の特徴としては、計測試料との作動距離、傾きなど試料の設置状態による誤差影響が小さいことや、計測光源の経時的な光量変化に対して定期的な自動補正を行うなど、全自動計測に要求される性能と機能を有している。また、分光スペクトルの計測に裏面反射型のCCD検出器を搭載した分光器を使用しており、450-800 nmの波長範囲の分光反射率を高感度で得ることができ、精度の良い計測ができるようになっている。

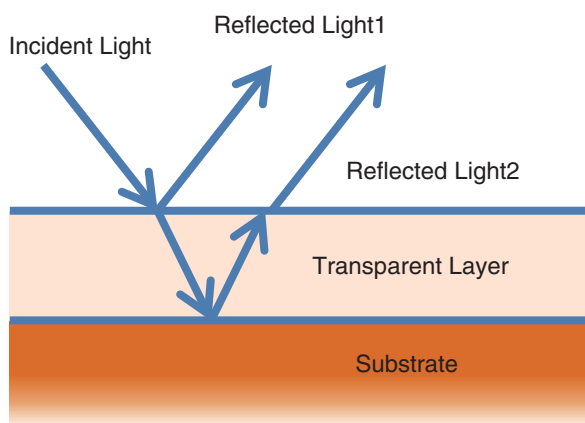


Figure 5 Interference phenomenon

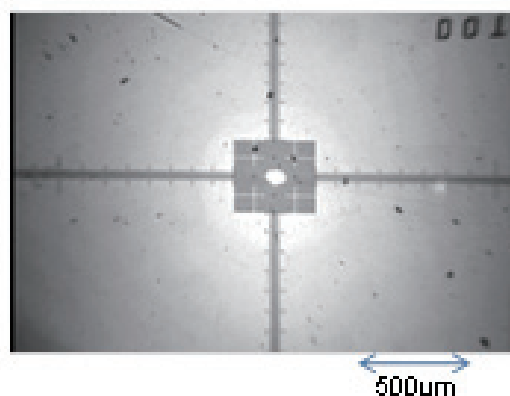
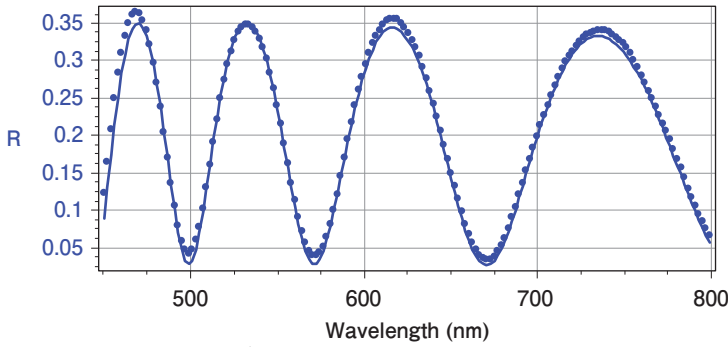


Figure 6 Optical image of measurement spot



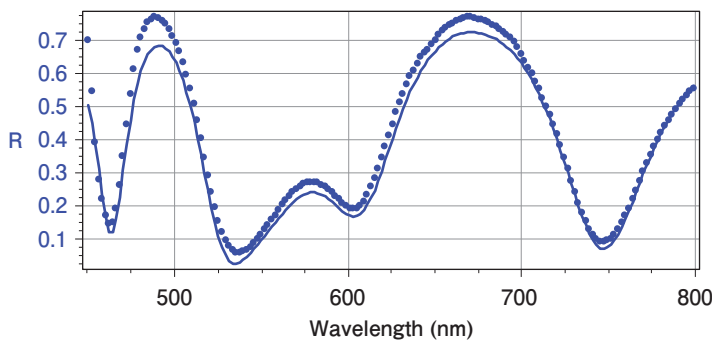
01 Resistの測定データ。
点線はレジスト測定データ、実線はフィッティングカーブを示す。

フォトレジストの測定結果

	ミニマルファブ膜厚計		Auto SE	
	膜厚 [nm]	χ^2	膜厚 [nm]	χ^2
01 Resist	1118.5	0.9854	1114.4	24.3686
02 Resist	1080.7	1.0277	1078.0	23.9734

1フィッティングあたりのMultiguessの回数：20回、フィッティング時間：約2秒(インテルCORE i5搭載PC使用)

Figure 7 Results of photoresist



31 CMOS-SOIの測定データ。
点線はレジスト測定データ、実線はフィッティングカーブを示す。

CMOS-SOIの測定結果

	ミニマルファブ膜厚計				Auto SE			
	1層目 [nm]	2層目 [nm]	3層目 [nm]	χ^2	1層目 [nm]	2層目 [nm]	3層目 [nm]	χ^2
31 CMOS-SOI	406.2	202.8	467.6	17.8152	407.7	203.8	464.0	37.3712
32 CMOS-SOI	406.2	202.3	0.9	17.2506	406.4	203.4	3.0	15.5085
33 CMOS-SOI	405.7	201.9	0.8	17.5987	405.6	202.8	3.3	15.7069

1フィッティングあたりのMultiguessの回数：343回、フィッティング時間：約37秒(インテルCORE i5搭載PC使用)

Figure 8 Results of CMOS-SOI

計測対象はSi基板上的のSiO₂膜、SiN膜などの透明性の高い単層膜や、アモルファスSi膜、Poly Si膜などの単層膜の計測を想定している。また分光スペクトルのモデリング解析を行うことから、SiO₂膜上のアモルファスSi膜など、薄膜の物性が明確に異なる場合には、最上層より連続した2層膜を同時に計測することも可能としている。

Figure 7にフォトレジスト、Figure 8にSOIのAUTO SE(堀場制作所製エリプソ膜厚測定装置)との比較結果を示す。レジスト1層、SOI*2の3層構造(現在ミニマル装置非実装)においても1%以内の一致を示している。



光学モデル
(実際のサンプル構造も同じ)



光学モデル
(実際のサンプル構造も同じ)

*2：SOI (Silicon on insulator)：CMOS LSIの高速性・低消費電力化を向上させる技術

ソフトウェア構成

構成をFigure 9に示す。製作期間が4か月と短期間で製作したこともあり制御が分散している。測定器としては表示できる結果データの数がPLC (Programmable Logic Controller: シーケンサ)のメモリに依存しこれが最大2950点となっている。データ出力はUSBへの掃き出しを前提に設計している。現在、ミニマル装置群においてデータとそのフォーマットの策定を進めておりこれによりデータの取

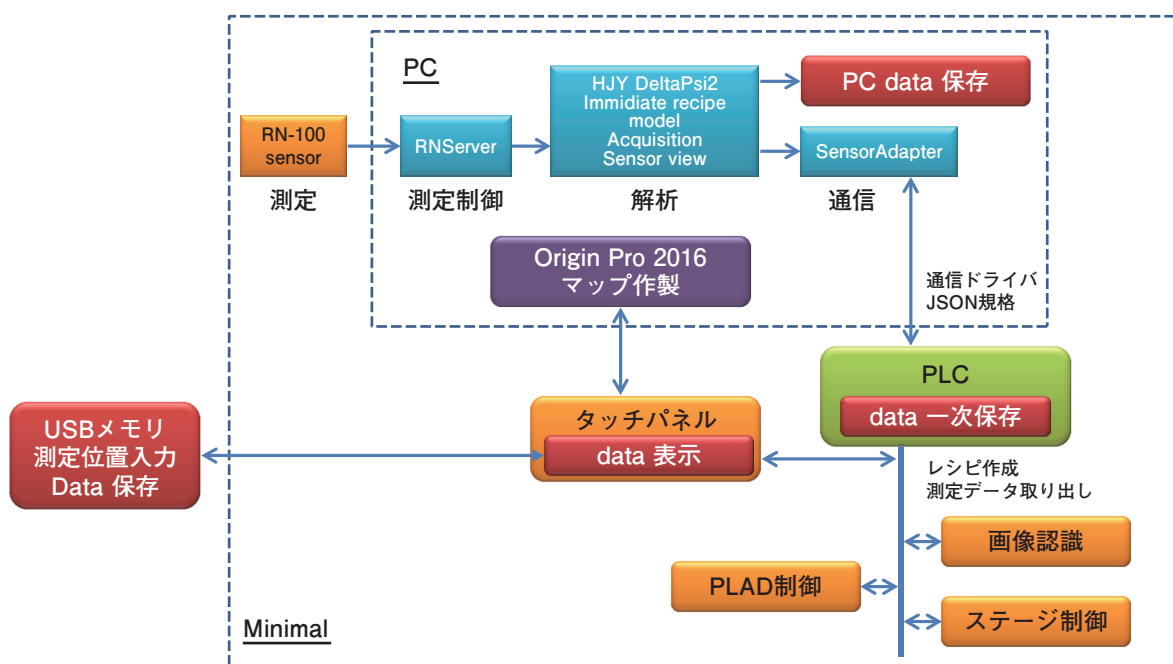
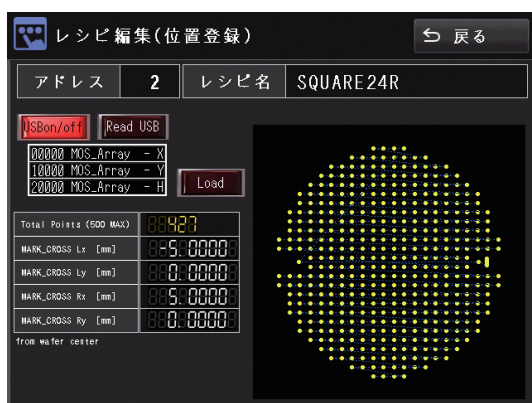
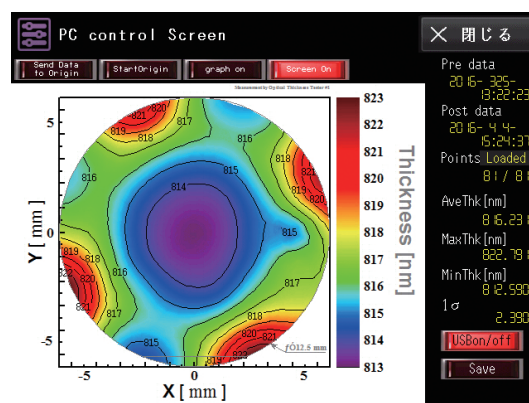


Figure 9 System diagram



測定位置の入力



測定結果の出力

Figure 10 Display images of recipe setting (left) and output results (right)

Table 2 Specification

膜厚計	RN-100M 堀場製作所製
測定原理	反射干渉式
測定対象	透過性のある単相膜
測定範囲	SiO ₂ /Si基板 : 50 nm~40 μm
	SiN/Si基板 : 50 nm~25 μm
	Poly-Si/SiO ₂ : 50 nm~2 μm (Poly-Si : 100 nm~500 nmのSiO ₂ 上)
	a-Si/SiO ₂ : 50 nm~2 μm (a-Si : 100 nm~1000 nmのSiO ₂ 上)
	a-Si/SiN : 50 nm~2 μm (a-Si : 100 nm~800 nmのSiN上)
	SiO ₂ /Poly-Si : 50 nm~1 μm (SiO ₂ : 500 nm以上のPoly-Si上)
	SiN/Poly-Si : 50 nm~1 μm (SiO ₂ : 500 nm以上のPoly-Si上)
測定操作	全自動測定
測定点数	最大500点
測定時間	1点あたり2~3秒(9点測定時, 全行程3分程度)

り扱い方法の共通化と改善をしていくこととなる。ミニマル干渉膜厚計は、膜厚測定系をPC、ステージ制御をPLC、これに画像認識を加えて構成している。測定解析はPCで行い、測定点の制御をPLCで行っている。測定されたデータはPC内へ保存され、膜厚データの結果部分をPLC内で一時保存し表示パネルへ表示している。この為データの保持量がPLCのメモリサイズによって決まってくる。計測と結果表示については、最大500点測定、測定位置の簡易入力、結果の差分表示およびMap画像の出力が可能となっている (Figure 10)。Map画像の生成については、OriginPro2016を使用しそのテンプレートをもとにMapの画像生成を行っている。したがってユーザーはOriginを用いて好みのMap画像を作成することが可能となっている。

ミニマル膜厚計仕様とレシピ

Table 2に代表的な膜種の測定範囲を記載する。膜種毎の

レシピは、膜種、測定位置、ウエハ位置検出のための画像認識ファイルと合わせ測定レシピとして登録される。

膜種に対応した計測レシピは、別にAUTO-SE(エリプソメーター)で測定した屈折率のデータをもとに作成される。測定位置は円周上に配置するCircle Type、縦横に配置するSquare Type、CAD上の位置データもしくは任意の位置データをUSB入力する方法があり個別に設定しミニマル測定レシピとして登録される。ウエハ位置検出のための画像認識ファイルは、ウエハのオリフラ・センタ検出時に撮像するための最適な撮像条件を与える。レジストなど特にウエハエッジ部に段差・パターンがあるものは誤検出を防ぐためにリファレンスとなるサンプル画像をもとに作成される。

その他の重要な仕様としては、ミニマル装置として電力が100 V 1000 W以下と規定されている。今回の測定の結果は、稼働時最大2 Aで安定しており200 Wの電力使用量となっていた。ただし35 db以下の騒音規格にたいしては達しておらず、ハロゲン光源、PC、各種制御計測用コントローラ等による電力使用量をさらに抑えミニマルの狭い筐体内での熱の発生を抑える事によりファン回転数を下げ騒音を抑える工夫が今後も必要となる。

おわりに

以上、ミニマル光干渉膜厚計について述べてきた。膜厚計測に関してはデバイス作成上の基本的な確認項目であり重要な検査装置の一つと考えている。ミニマルファブは開発途上であり今後もLSI製造をターゲットして各種プロセス装置それに伴う各種計測装置等の充実を図る事が重要である。株式会社堀場エステックはこれらミニマルプロセス・計測装置群の開発製造に貢献することで多品種少量生産に向けた新しい半導体製造モデルの構築に貢献するものである。



西里 洋

Hiroshi NISHIZATO

株式会社 堀場エステック
開発本部 副本部長
Deputy General Manager
Research & Development Division
HORIBA STEC, Co., Ltd.



飯田 裕

Hiroshi IIDA

株式会社 堀場製作所
先行開発センター
Advanced R&D Center
HORIBA, Ltd.



松田 賢昭

Takaaki MATSUDA

株式会社 堀場エステック
開発本部 開発設計3部
Development Design Dept.3
Research & Development Division
HORIBA STEC, Co., Ltd.



原 史朗

Shiro HARA

独立研究開発法人 産業技術総合研究所
ナノエレクトロニクス研究部門 ミニマルシステムグループ長
ファブシステム研究会 代表 博士(工学)
Nanoelectronics Research Institute
Advanced Industrial Science and Technology (AIST)
Ph.D.