

## 半導体製造技術の最新動向と計測制御技術

Current Device Processes and Required Sensing & Control Technologies in Semiconductor Chip Manufacturing



榎並 弘充

Hiromichi ENAMI

株式会社  
日立ハイテクノロジーズ  
Hitachi High-Technologies  
Corporation

現在および将来の半導体ウエハ製造において、CVD (Chemical Vapor Deposition) やALD (Atomic Layer Deposition) 技術のような成膜技術とその微細加工を行うドライエッチング技術は、キーの技術になっている。これらの技術は、微細化と更なる3次元化の進行により益々多用されるとともに、多様な要求がされるようになってきた。このような背景があるが、これらの技術はまだ充分な完成度にはなく、プロセスのセンシング技術のレベルアップと戦力化、ガス流量制御等の制御装置技術の革新により、その完成度を向上し続けなければならない。この実現には、装置ユーザー、装置サプライヤー、機能部品サプライヤー、システムソフトサプライヤーが一体となった開発活動が求められている。

In current and future semiconductor wafer manufacturing, CVD (Chemical Vapor Deposition)/ ALD (Atomic Layer Deposition) and Dry Etch are becoming key technologies. The number of process steps utilizing these technologies are drastically increasing and are widely implemented due to feature size reduction and 3D structures. In addition, there are multiple requirements that are difficult to realize. Currently, these techniques are still insufficient and far from maturity. Therefore, the specifications for these technologies need to be continuously improved. A technologically innovative process sensing system and a fluctuation-free control gas supply are ways to realize this. In order to achieve this, collaboration and close development between equipment users, equipment suppliers, subsystem OEM (Original Equipment Manufacturer), and system solution providers are strongly required and should be established incrementally.

### はじめに

半導体(Semiconductor)が単体デバイスとして研究開発されたのは1940年代で、1960年代に発明された集積回路(Integrated Circuit: ICと略す)によって、その性能が飛躍的に向上し始め、データ記憶(Memory)用と論理計算(Logic, Processor)用に使用され始めた。1970年以降のダイナミックランダムアクセスメモリ(Dynamic Random Access Memory: DRAMと略す)と呼ばれる1個のトランジスタと1個のキャパシタで構成された記憶デバイスの導入をきっかけに、簡単な構造であることを活かしたMOS型メモリICの大容量化・微細化・低価格化が進み、従来から使用されてきたバイポーラ型ICは、主として論理計算用に用いられるようになってきた。1980年代からは、日本の電気メーカーがこのDRAMの開発を牽引し、2年で記憶容量4倍というような大きな成果を上げ、世界の市場を独占した。さらに1980年代半ばからは不揮発メモリとしてFlash Memoryが登場し、記憶用として揮発性のDRAMと不揮発性のFlash Memoryが併存してきている。この分野では、1990年代から韓国、台湾が参入し、2000年以降になると日本の電気メーカーの多くはこの分野から撤退した。

論理計算用では、デバイスの速度で勝るバイポーラ型が長

らく使用されて来たが、消費電力や微細化に問題があるため1990年代よりMOS型の開発が加速された。1990年代後半でその性能はバイポーラ型とほぼ同等になり、消費電力が2桁以上大きなバイポーラ型は、現在では特殊な分野以外では使用されなくなっている。結果として2000年以降は、記憶用と論理計算用で同じMOS型を使用することになり、デバイスの製造プロセス開発技術の共通化とともに、製造ラインの混用・転用も可能になって来ている。

上記のように順調に微細化が進んできたが、2000年代後半から物理限界に伴うデバイスの性能限界・微細化の開発遅延により、2年で70%化(1次元で70%であり、面積で言えば50%に相当する)という開発スピードの維持が厳しくなってきた。デバイス製造各社はブレイクスルーを見出すべく研究開発を進めてきているが、投資規模が大きくこの競争に勝ち残れるのは、3~4社に絞られてきているように見える。また、そのキープロセスと期待されている技術は、ALD(Atomic Layer Deposition: 原子層単位の成膜技術)とALE(Atomic Layer Etching: 原子層単位の加工技術)であるが、その原理は1970年代後半から1980年代前半に開発されたもので、当時の主流製品であるDRAMにはスループット等の理由で適用がされなかったものである。なお、1970年代から2016年までの間に、最小加工寸法は、数十ミ

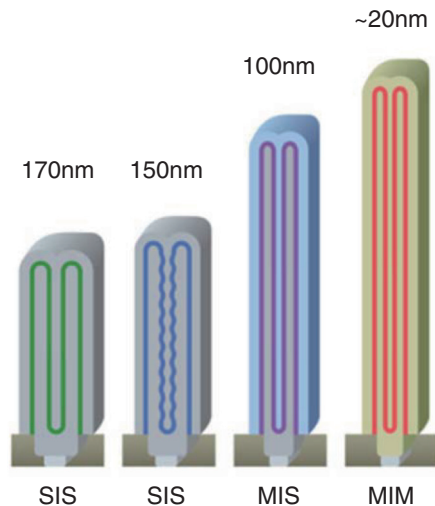


Figure 1 Trend of Storage Node in DRAM

クロンから数十ナノメートル (10-20 nm)まで3桁縮小されてきた。本投稿では、これらの半導体開発の背景を基に、製造装置のサプライヤーあるいは機能部品のサプライヤーとして、今後向かうべき方向を議論し纏める。

## デバイス・プロセスの開発状況

DRAMにおける微細化の最も大きな問題は、電荷を蓄積する容量部分(Storage Node)の容量を如何に確保するかということである。当然微細化により、使用できる容量部の面積も縮小される。このため、最も早くデバイスの3次元化が取り入れられ、積層(Stack)型やSi基板に深溝を形成する埋込み(Trench)型が検討されてきたが、現在ではシリンダー型が主流となっている。容量蓄積に用いる絶縁膜は、比誘電率の高い材料(High-k材料)を選択する方向で、酸化膜から窒化膜更には $Ta_2O_5$ 膜や $ZrO/AlO/AlZrO$ 積層膜が使用されるようになってきた。更に、Figure 1に示すように容量部の電極材料もSi(Semiconductor)から金属材料(Metal)に置き換えが進み、MIM(Metal Insulator Metal)構造が主流になっている。2010年以降、微細化面・材料面で限界を迎えており、新しい記憶デバイスへの置き換えも検討されている。

Flashメモリでは、容量の増加とともに、従来のHDD(ハードディスクドライブ)からの置き換えが現実のものとなってきている(SSD化: Solid State Drive)。大容量化は、微細化で対応してきたが、2000年以降、デバイス回路としての工夫で、一つのメモリデバイスで0/1という記憶ではなく、000~111のように多数の記憶をできるようにしてきている(多値化: Multi Level Cell, 現在は3 bit/cell=8レベル記録が最大)。更に、本格的に容量を増加させるために、Figure 2に示すような3D-NANDと呼ばれる積層構造が検討されている。実際の積層数は、32から64層となっている。

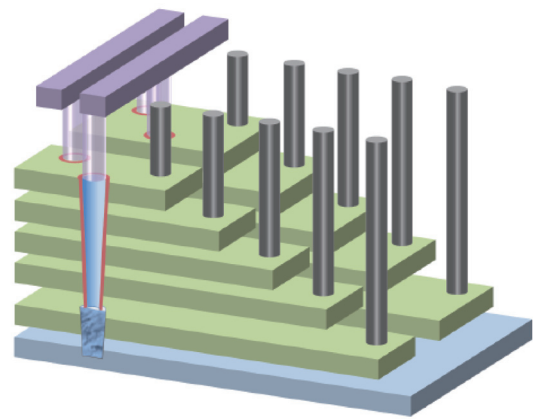


Figure 2 Schematic Diagram of Multi Layer Structure in 3D-NAND

論理用デバイスでは、1990年代はトランジスタの微細化と配線工程での伝達遅延を抑えるためのCu配線化・低誘電率膜の採用を中心に進められてきた。2000年以降になるとトランジスタそのものの性能向上のため、各世代で新たなトランジスタ構造の導入が行われてきた。つまり、2次元構造の微細化のみで性能向上・消費電力低減・集積度向上を図り、トランジスタ形成プロセス工程数の増加を抑えて来たが、90 nmデバイス以降では、ひずみSi(Strained Si)という速度向上技術を取り入れた。更に、45 nm以降ではゲート金属・絶縁膜材料がSi・Si酸化膜から金属材料・金属酸化膜材料(Metal/High-k Gate)への置き換えが進み、種々の金属材料がデバイス製造工程にまで広く使用されるようになった。ここで、Metal/High-kゲートのドライエッチング加工が難しいことおよび下地のデバイス領域へのダメージ低減の点からリプレースメントゲート(Replacement Gate, 最初にポリSiをパターンニングした後、絶縁膜を形成し、それをCMP(Cheical Mechanical Polishing, 化学機械研磨)で平坦化して、露出したポリSiを低ダメージで除去し、その部分に高カバレッジでMetal/High-k材料を埋め込み、更にそれを平坦化する手法)が使用されるようになった。更に、22 nmデバイスからは、3次元構造を取り入れたFinFET(Field Effect Transistor)が主流になりつつある。7 nm以降に関しては、種々のデバイス構造が検討されている段階であるが、Figure 3に示すナノワイヤ構造が適用される可能性がある。

## 重要となるデバイス・プロセス技術

上記から、年々デバイス構造が複雑化・微細化・高アスペクト化されていたことが判る。ここでは、これらのデバイス構造を実現する為にキーとなる製造プロセス技術について簡単に纏める。

まず、半導体ウエハ上に必要となる膜種を形成する成膜技術である。従来、LP-CVD(Low Pressure Chemical Vapor Deposition, 低圧CVD)技術が多くの工程で使われてきた

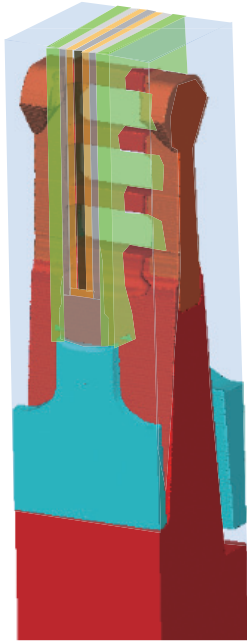


Figure 3 A candidate structure of the next Logic Devices (Nano-Wire)

が、2000年以降になるとLP-CVDにおける長時間高温処理と高アスペクトパターンでの被覆性(Step Coverage)の悪さが課題となってきた。このため、原理的に低温かつ被覆性のよい成膜が可能なALD(Atomic Level Deposition)が徐々に使用されるようになった。ALDの原理をFigure 4に示す。基本的にA SourceとB Sourceの反応で成膜することには変わらないが、時間的に分割してA Sourceのみ導入で1層の堆積膜を形成し、その後B sourceを導入すること

により1層の反応層を形成するもので、LP-CVDのように空間で生成したものを堆積させるものではない。原理的にLP-CVDに比べ成膜速度は遅いが、微細化による必要膜厚の低減により製造技術として使用できるレベルになってきた。ウエハ表面反応であるため、どのような部分にも均一かつ均質に成膜が可能であり、更にPlasmaを利用したPE-ALD(Plasma Enhanced ALD)が実用化されてきていることから、今後徐々にALDの使用工程数が増加していくと考えている。なお、現在量産に適用されているALD技術は、まだ完全な表面飽和反応状態を使用するALDと呼べる状態では使用されていないように見える。

次が平坦化技術である。2章において、配線材料が従来のAl合金膜からCu膜に切り替わったことを述べたが、この変更は、製造技術の分野で平坦化技術を大きく向上させた。配線のCu膜化要求がCMP技術を確立したとも言える。従来の配線形成は、Al合金配線膜をウエハ前面に堆積し、パターニングされたマスク材を使用して、ドライエッチング装置により必要な部分を残してその他の部分を除去することで配線パターンを形成していた。一方、Cu配線ではCu膜のドライエッチングが非常に困難なことから、まず絶縁膜に溝や穴パターンをドライエッチングで形成した後、Cu膜をウエハ全面に堆積する。その後、スラリーと呼ばれる化学反応成分を持った研磨剤を研磨パッドとウエハの間に導入し、堆積した膜を化学機械的に研磨し、不必要な部分を取り除くものでダマシン(Damascene)方式と呼ばれる。CMP平坦化技術は、開発初期に比べて大幅に安定し、装置も数世代に渡って使用可能に見える。

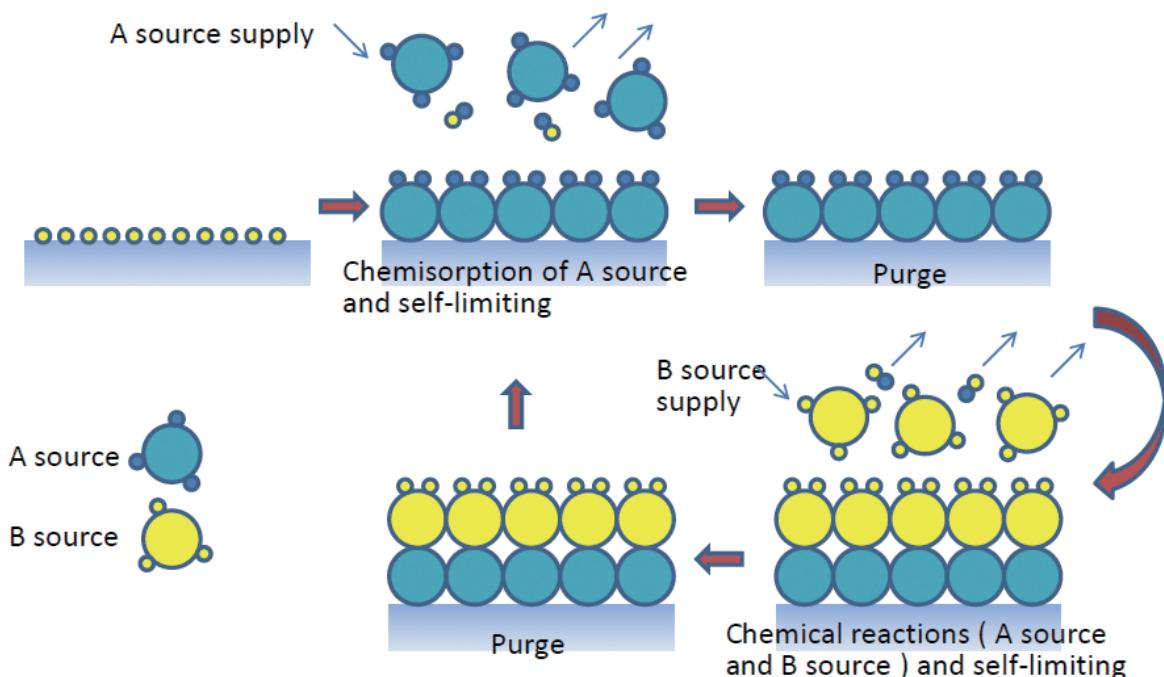


Figure 4 Principle of ALD Technology(Cyclic Process of 4 Steps)

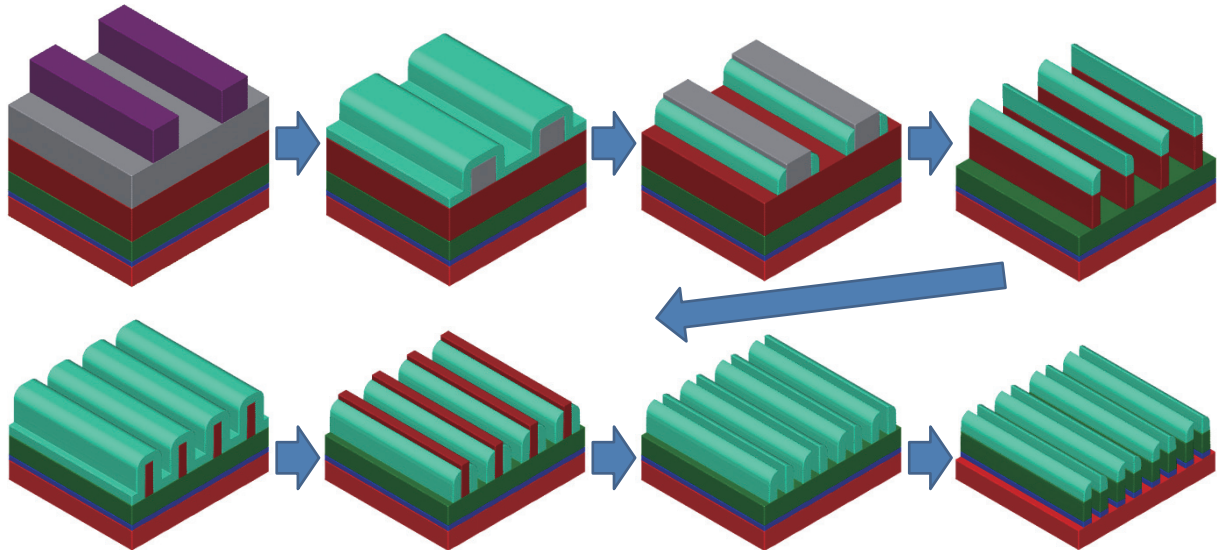


Figure 5 Process Flow Example of SAQP

微細化にとって最も重要なのが、露光技術である。縮小投影露光方式が一般的で、ウエハ上に塗布された感光性材料にレチクルに作成されたパターンを縮小してウエハ上で解像する。このパターンの解像度は、使用する縮小投影露光装置の光源波長に大きく依存し、短波長化および高NA（開口数）化が進められてきた。2000年以降最先端加工用装置ではKrFレーザーからArFレーザーに置き換えられたが、次世代と考えられてきたEUV光源の開発が大幅に遅れが発生し、微細化がストップする危機が訪れた。そこで、レチクル上に縮小投影露光機のレンズとウエハの間に液を封入して屈折率を上げて解像度を向上する液浸（immersion）方式が実用化された。さらに得られている初期パターンにALD技術で必要な膜厚の成膜を行い、その後ドライエッチングによりエッチバックすることにより初期のパターンの側面に所望の寸法のパターン（実際には初期の1/2程度）を得るダブルパターンニング技術（Double Patterning, SADP（Self Aligned Double Patterning）とも言う）により、微細化技術は大きく延命できている。最近では、このSADPを更に繰り返して1/4程度のパターンを得るSAQP（Self Aligned Quadruple Patterning）も実用化されつつある。これらの実現に必要とされる費用はウエハコストとして反映される（1工程の採用で数%増加する）。更に、この方式は繰り返しパターンにしか使用できないこと、およびパターンエッジをドライエッチングによりカットすることが必要であることも認識しなければならない。SAQPのプロセスフローをFigure 5に示す。寸法や合わせ精度は、成膜のALD技術とドライエッチング技術によってほぼ決定される。

最後にこのドライエッチング技術の重要性について述べる。2000年前後では均一性・再現性以外は大きな課題が余り見えない容易な技術と考えられていたが、その後の微細

化・3次元化により、(1)寸法精度の必要でかつ廉価なプロセスを必要とされるSADPのエッチング、(2)ポリSiを低ダメージで高選択に除去するエッチング、(3)高段差垂直下地部分にエッチング残りを出さずに高選択で垂直に加工するエッチング等非常に困難な加工を要求されるようになっており、現在は課題が山積している状態と見える。更に、次世代デバイス用に高選択に等方的なエッチングが必要とされ、ALE技術も盛んに検討され始めている。

纏めると、これらの4プロセス技術の中で、ALD成膜技術とドライエッチング技術が装置的にもプロセス的にも必要とされる完成系から距離があるように見え、今後集中的に改善していくべき技術と言える。

### 必要とされる計測制御技術

今後のデバイスプロセス技術において、ALDやドライエッチングがキーであることを述べて来た。現状のALDやドライエッチングの装置・プロセスを検討してみると、安定性・再現性にまだ不十分な点があることが判る。例えば、First Wafer Issue（処理開始後の数枚のウエハが特異な結果を示すことを意味し、歩留低下の要因になっている）という不良が色々な場合に発生し、半導体ウエハ量産に影響を与えている。Figure 6には、ドライエッチングを例にとって、プロセスの3要素の関係を示したものである。これらは、通常レシピと呼ばれるEquipment Setting（設定条件）、チャンバ内の温度や堆積物の影響等の外乱要因（Disturbing Factor）、設定条件と外乱要因とで決定され実際にウエハが処理されている処理環境（Treatment Environment）、処理環境でウエハが処理されている結果としてのウエハ状態（Wafer State）で構成される。外乱要因の影響が大きい場合には、設定条件通りにウエハ状態を制御することがで

きない。この外乱要因が比較的大きいのが、ALDを含めたCVDとドライエッチングである。このような系でウエハの状態を一定に保つためには、実際の処理環境およびウエハ状態をセンシングしてフィードバックすることが必要である。この考え方は、20年程前から具体的に動き出したAEC/APC (Advanced Equipment Control/Advanced Process Control)の基本である。

Figure 7は、実際のエッチング装置において、どのようなセンシング可能なものがあるかを示したものである。それぞれ課題があり、現状で実際の製造装置に適用されているのは、プラズマ発光センサーのみであり、使用用途もドライエッチング終点判定に限定されている。

- (1)発光・干渉センサー (Emission Interferometric Sensor)：ウエハ上の膜厚の変化や繰り返しパターンの寸法を計測できるが、ウエハ上に測定位置依存性があるため、移動機能と大きな透過性の窓が必要であるため、適用が限定されている。
- (2)ビデオカメラ (Video Camera)：(1)の用途およびウエハ全体の状況の把握も可能であるが、透過性の窓の設置と莫大なデータ解析の問題で、適用されていない。
- (3)質量分析 (Q-Mass Analyzer)：反応室で発生している原子・分子の把握が、発光・非発光に関わらず可能で

### Treatment Environment and Wafer State

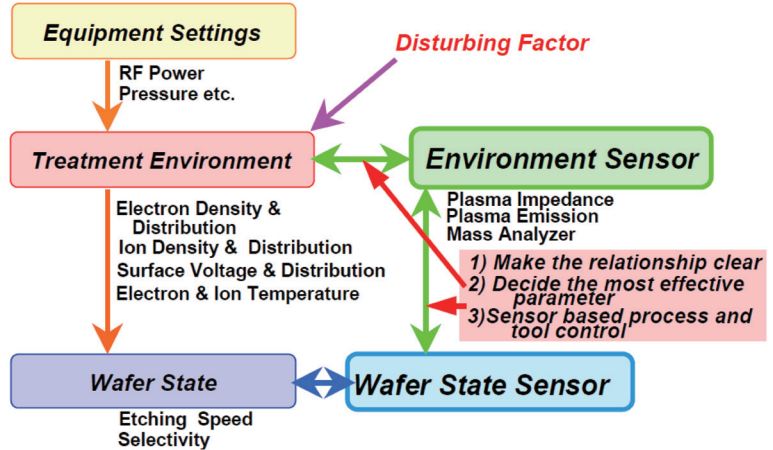


Figure 6 Treatment Environment and Wafer State in Dry Etch Process

あるが、センサーの寿命・スキャンスピードが遅いことから、使用されていない。現在、スキャンスピードが100 msecまで低減できるものが開発中で、今後ALD・ALEでは有効なセンシングとなる可能性が大きい。

- (4)プラズマインピーダンスモニター (Plasma Impedance Monitor : PIMとも略される)：実際の物理データとの関係性を明確にできないため、専ら異常値検出に使用されているが、データ解析と計測モデリングにより経時変動センサーとして使用できる可能性がある。
- (5)発光センサー (Emission Sensor)：現在最も使用されているセンサーであるが、用途が限定されている。特定の発光をセンシングして、プロセスのレシピにフィードバックするR2R (Run-to-Run)制御することも可能で、

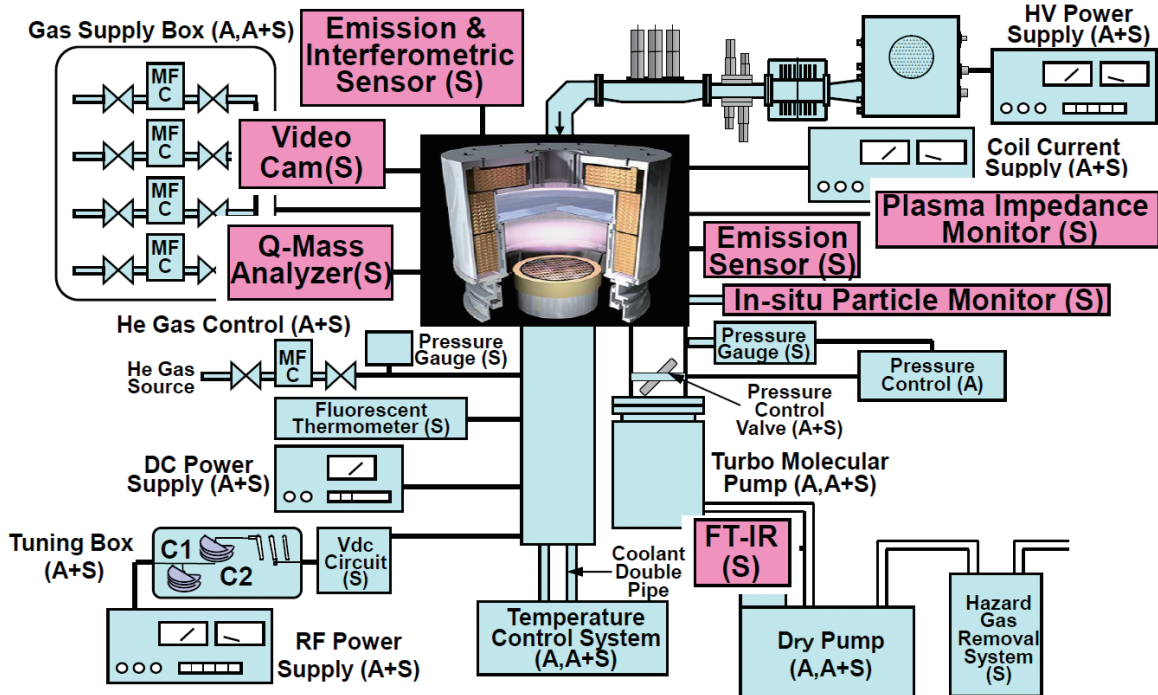


Figure 7 Candidate Sensing Functions in Dry Etch Tool

ウエハ量産にも適用されている。

- (6)パーティクルセンサー (In-Situ Particle Monitor)：検知できるパーティクル径が0.2 μm程度であり、現在のデバイスに適用は難しい。CN (Condense Nucleation) 法との併用で微小なものまで検知できる可能性があり、装置化できれば有効になる。
- (7)FT-IR：排気系に設置し、どのような反応生成物がどの程度発生しているかを判断できる。クリーニングやALEでの終点判定への応用が期待される。

一方、ガス流量制御、高周波電力供給、ウエハ冷却等のアクチュエーターにおいてもセンシング機能を持っており、これらを有効に活用して、実際の供給を安定にする活動も重要である。

### 流量制御技術の現状と今後

CVD/ALDやドライエッチングにおいては、前述のように反応のため導入するガス種の流量制御が重要なポイントとなっており、サーマル式マスフローコントローラ(MFCと略す)が多用されてきた。このサーマル式MFCは、微細化の進展とともに種々の課題が明確化したため、1990年代に制御性向上やローコスト化を狙ったMFCを含むセンサーアクチュエータ用のデジタル通信のためのスタンダード化(E54)、2000年代初期にはガス供給系の小型化や標準化のベースとなる表面実装方式のスタンダード化(F82~F95)を図ってきた。しかしながら、最近のプロセス、特にALD技術では、蒸気圧の低い液体や固体が使われる場合が増加している。元来このALD技術は、Self-Limitingの反応を使用することで、ソース供給量に依存しにくい反応系であるが、量産性追求のため現実にはソース供給量に依存するプロセスとなっている場合が多い。このような背景から、液体や固体ソースにも充分適用できる高精度な流量制御技術の開発が、装置個体差・経時変化を抑えるために必要不可欠となってきている。

現在、その第一段階として実プロセスガス(Live Gas)流量の校正が検討されている。サーマル式MFCにおける流量校正は、実プロセスで使用されるガスが一般的に高反応性で、熱を加えてその流量を計測すると種々の問題が発生する可能性があるため、実際にはN<sub>2</sub>等の不活性ガスを流して行われる場合が主流である。

$$Q_p = N \cdot \frac{C_{pk}}{C_{pp}} \cdot Q_k \dots\dots\dots (1)$$

Q<sub>p</sub>：プロセスガス流量、Q<sub>k</sub>：校正ガス流量、  
 N：補正係数、C<sub>pp</sub>：プロセスガス定圧モル比熱、  
 C<sub>pk</sub>：校正ガス定圧モル比熱

プロセスガス実流量は、このプロセスガス定圧モル比熱C<sub>pp</sub>

と補正係数Nによって決定される。現状ではC<sub>pp</sub>がサプライヤー間で統一されていない他、補正係数もサプライヤーの校正方法の相違により大きく異なっており、実流量からの誤差を生じる原因となっている。今回検討している方式は、Rate Of Rise (ROR) Systemを活用するもので、このSystemはプロセスガスの実流量計測に用いられている場合もある。ROR Systemの測定原理は真空排気した容器にMFCで制御したガスを流し、容器内の圧力上昇率からガスの状態方程式を用いて流量に換算している。

$$Q \propto \left( \frac{\Delta P}{\Delta t} \right) \cdot \frac{V}{T} \cdot \frac{1}{Z} \dots\dots\dots (2)$$

Q：流量、ΔP：上昇圧力、Δt：上昇時間、  
 V：容器内容積、T：温度、Z：圧縮係数

今後、第二第三段階の検討が行われ、どのようなガスを流しても、所望のガス流量が得られるようになることを願っている。

### 結論

CVD/ALDおよびドライエッチング技術は、今後の半導体ウエハ製造のキー技術となっており、益々多用され、多様な性能を要求されてくる。しかしながら、その装置・プロセスはまだ完成度に乏しく、様々な活動が必要不可欠である。プロセスのセンシング技術のレベルアップとともに、ガス流量制御の技術向上が待たれる。この実現には、装置ユーザー、装置サプライヤー、機能部品サプライヤー、システムソフトサプライヤーが一体となった開発活動が求められている。