

ハイブリッド計測の薦め： 微細トランジスタ内部応力分布のラマン散乱測定

Hybrid metrology to measure unseeable quantities:
stress distribution in miniaturized transistors by Raman scattering spectroscopy

金山 敏彦

Toshihiko KANAYAMA

産業技術総合研究所 特別顧問

工学博士

Special Emeritus Advisor, National Institute of Advanced Industrial Science and Technology

Dr.



半導体集積回路の開発や生産のために、ナノレベルの局所的な物性を的確に測定できる計測技術が必要となっている。しかし、単独の計測技術でこの要求に応えることは、不可能に近い。この難題に答えるべく、ハイブリッド計測、つまり、シミュレーションと計測技術とを結びつけて、本来は不可視な物理量を、計測可能な測定値からシミュレーションによって推測する技術の開発を進めてきた。ここでは、その事例として、微細トランジスタ内部の応力分布を、ラマン散乱に基づいて測定する手法を紹介する。

Recently, feature size of semiconductor integrated circuits becomes far below 100 nm, and their fabrication requires reliable measurement methods of local material properties capable of nano level resolution. However, it is almost impossible to invent a measurement technique to meet the requirement. Alternatively, we are developing the hybrid metrology: i.e., combining suitable measurement methods with precise simulations to estimate values of an unseeable quantity. Here, as an example, we introduce how the mechanical stress distribution in a miniaturized transistor is evaluated using Raman scattering measurements combined with stress simulation and optical propagation simulation.

はじめに

半導体集積回路は、ナノレベルへの微細化と同時に、多種の材料を採用することで、高集積化と高性能化のトレンドを維持している。そのため製造工程は複雑化の一途を辿っている。多くの材料で構成された微細デバイスの開発や生産のために、局所的な物性を的確に測定できる計測分析技術が必要なことは、言を待たない。しかし、複雑で微細な集積回路の局所的な特性を、単独の計測技術で測定することは、ほぼ不可能と言える。

この難題に解を与えようと、我々は、ハイブリッド計測、つまり、シミュレーションと計測技術とを結びつけて、そのままでは不可視な物理量を、計測可能な測定値からシミュレーションによって推測する技術の開発を進めてきた (Figure 1)。半導体デバイスやその製造プロセスの設計には、technology computer-aided design (TCAD) と称されるシミュレータが用いられる。TCADは、デバイスの動作特性を予測するデバイスシミュレータと、製造プロセスを予測するプロセスシミュレータで構成されている。対象とするデバイス動作は、トランジスタのような電気的な機能

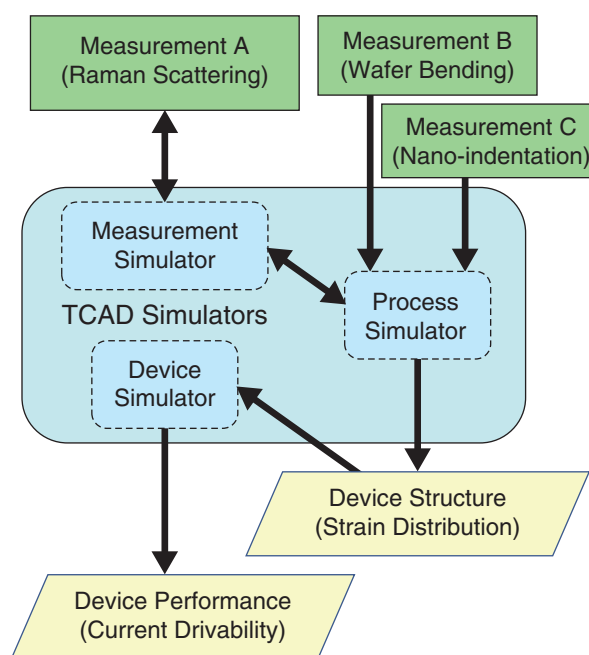


Figure 1 Hybrid metrology uses computer simulations to combine results of different measurement methods to estimate values of an unseeable quantity. Examples are indicated in parentheses for internal stress measurements of miniaturized transistors.

に加えて、発熱量や熱伝導、受光センサーや発光素子のような光学的な動作も含む。また、プロセスシミュレータが予測するのは、デバイスの構造に留まらず、動作特性に影響を与える、構造部位の組成や内部応力などの物性値を含む。そのため、TCADは、計測の動作を対象とするように拡張することができる。これによって、計測結果が構成される物理的な過程をシミュレーションし、逆に、その原因となっている物性値を推定することが可能となる。特に、複数の計測技術を結びつけることで、このような推定は、さらに強力になる。一方で、デバイスシミュレータやプロセスシミュレータを動作させるには、デバイスを構成する材料や構造のパラメータの値を入力することが必要である。これらのパラメータは、当然、しかるべき計測手法で測定されるのだが、シミュレーション手順の中に、計測結果との対比を盛り込んでおくことによって、パラメータ値の決定がより確実になる。

本稿では、ハイブリッド計測の一例として、微細トランジスタ内部の応力分布を、ラマン散乱に基づいて測定した事例を紹介する。微細トランジスタでは、Siに応力を加えて結晶格子をひずませ、電子や正孔の移動度を増加させて、電流駆動力を向上させている。この手法は、材料をSiから置き換えること無く特性を向上させられる、優れた方法である。しかし、応力はトランジスタの構造や配置など、様々な要因の影響を受けるので、トランジスタの構造やレイアウトの設計と製造プロセスの制御で、緻密な正確さを必要とする。ラマン散乱のような光学測定は、非破壊で非接触の測定が可能で、研究開発目的から製造工程中の検査まで、広範な目的に利用できる特長がある。また、測定の物理的な過程が明確で、シミュレーションの対象とし易い。一方で、空間分解能は測定光の回折限界で制約され、微細トランジスタの解析に必要な10 nmレベルには到底、届きがたい。トランジスタの電気特性を決めているのは、ゲート直下のチャンネル領域のSiのひずみだが、チャンネルはゲートで覆われているので、光学的に見ることはできない(**Figure 2**)。ラマン散乱測定でトランジスタ特性に直結するひずみ計測が実現できるかは、**Figure 1**のようにシミュレーションを媒介として、計測結果から必要な情報をいかに抽出できるかに掛かっている。

ラマン散乱測定

ラマン散乱は、物質で光が散乱されるときに、物質を構成する原子の振動数だけ波長が変化して散乱される現象である。対象が応力を受けていない室温にある単結晶Siの時、波長の変化量、つまり、ラマンシフトの量は光学フォノンの周波数に対応する 520.5 cm^{-1} となる。圧縮応力を受けて原子間距離が減少すると、光学フォノン周波数は増加し、逆に、張力下では減少するので、ラマンシフト量は、応力分布を反映する。しかし、応力やひずみは、6成分のテンソ

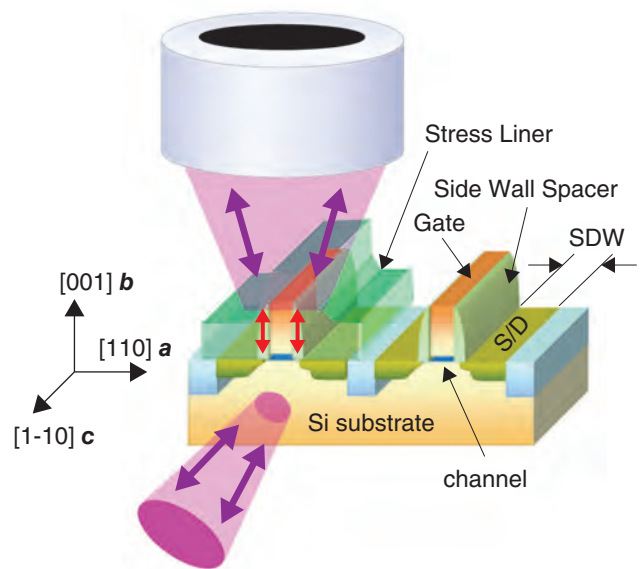


Figure 2 Schematic transistor structure, and two configurations of Raman measurements: vertical illumination/detection, and back scattering on a cleaved cross section. Stress liner is shown for the transistor on the left but not for the one on the right. Definition of polarization directions are also shown: *a* // [110], *b* // [001], and *c* // [1-10]. S/D : source/drain, SDW: source drain width.

ル量(xyzの3方向の圧縮または張力の3成分と、剪断力の3成分)なので、単にラマンシフト量を測定しただけでは、正確な応力値は元より、応力が等方的でない場合には、圧縮か張力かも知ることができない。一つの手掛かりは、Si結晶は立方対称なので光学フォノンが3重に縮退していて、非等方的な応力を受けると縮退が解け、偏光方向によってラマンシフト量が異なり、測定できる情報量が増えることである。

以下に紹介する測定例では、Siのラマンスペクトルをできるだけ高い空間分解能で測定するために、開口数1.3の油浸対物レンズを用いた共焦点光学系を用い、約150 nmの分解能を得ている^[1]。励起光の波長は、Arイオンレーザの364 nmである。この波長は、Siの反射率スペクトルのピークに近く、ラマン散乱の効率が低い。加えて、Siへの進入深さは10 nm程度なので、表面領域のみからの散乱と見なすことができ、シミュレーションを用いた解析が簡単になる。偏光した励起光を用いて検出光の偏光測定を行い、得られたスペクトルのピークにローレンツ曲線をフィッティングしてラマンシフト量を算出している。

トランジスタ断面での測定

集積回路では通常、**Figure 2**のように、[001]方位の表面を持つSiウェーハ上に、MOSトランジスタをチャンネルが[110]方向を向くように配置している。そのため、トランジスタのゲート電極に垂直な[1-10]方向断面を劈開して、ソース・ドレインを含むチャンネル下部の面上でラマン散乱測定が行える。**Figure 3**は、応力シミュレータの校正のた

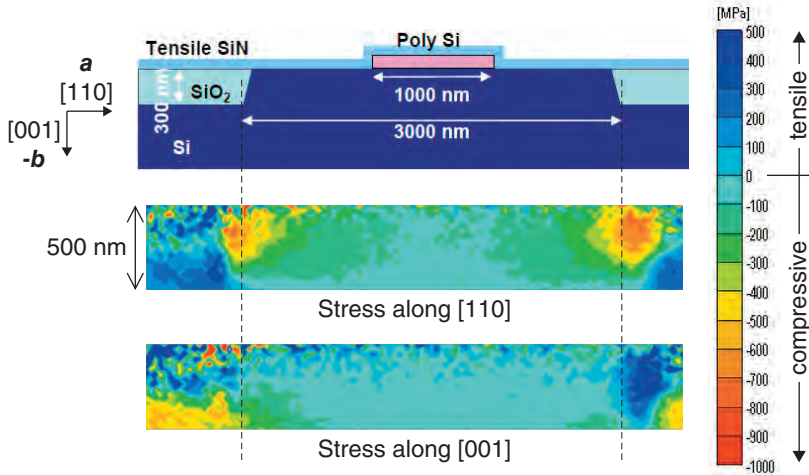


Figure 3 A large n-MOS transistor structure with 1- μm gate length and stress distributions estimated by Raman measurements on a cleaved surface.

めに、やや大きなゲート長1 μm のMOSトランジスタの断面でラマンシフト量をマッピングした結果である^[2]。このトランジスタは、n型MOSで、チャンネル部分のSiにソース・ドレイン方向の張力を与えるためのStress Linerとして、表面に内部応力の大きな窒化Si膜を堆積してある。ここでは、図に示すa [110]方向の偏光の励起光を用いて、a偏光とb偏光のラマンシフトを検出し、測定点ごとに、この二つのラマンシフトの値からa方向とb方向の応力を算出している。この断面マッピングから、応力分布には素子分離領域のSiO₂からの一軸圧縮応力の影響が大きいことが分かる。

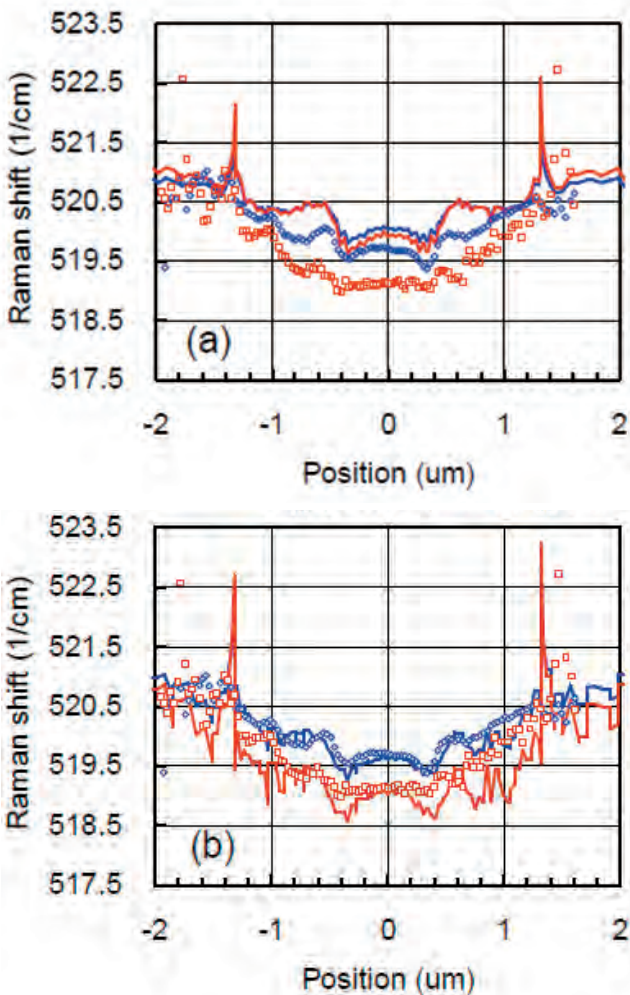


Figure 4 Measured Raman shift data (open square) along the a direction just below the channel surface on a cleaved surface and simulated results (solid line) using internal stress values without calibration (a) and after fitting (b). Blue color indicates the Raman shift of a-polarized light and red color is for the one with b-polarization both excited by the a-polarized light.

このような応力分布推定をより正確にするために、応力シミュレータとラマン散乱シミュレータの利用を試みた結果が、Figure 4である。ここでは、Si基板表面直下で素子分離領域を含むソースからドレインに至る線上のラマンシフト分布を、実測値と有限要素法による応力シミュレータで算出した値とで比較している。応力分布は、構造に敏感なので、応力のシミュレーションには、トランジスタの断面構造を透過電子顕微鏡で測定した形状寸法を用いている。Figure 4aでは、応力シミュレーションに必要な、窒化Si膜や多結晶Siゲートなどの各構造部位の内部応力には、それぞれの膜を全面に堆積したウェーハのそり量から、弾性率にはナノインデンテーション測定で求めた値を用いている。それでも、Figure 4aでは、実測値との不一致が目立つ。この原因は、シミュレーションに用いた各構造部位の内部応力値が、ウェーハ全面に堆積した場合とは異なり、正しくないためである。

そこで、窒化Si膜や多結晶Siゲート、素子分離領域のSiO₂の内部応力値を調整して、シミュレーション結果を実測値に合わせて込んだ。結果は、Figure 4bのように、シミュレーションが実測値をほぼ再現するようになった。このような測定値への合わせ込みを、トランジスタの作製工程の中で何度か繰り返すことにより、応力シミュレーションに必要な構造部位の内部応力や弾性率などの物性データを確定することができる。

微細トランジスタ上面からの測定

以上の手順で応力シミュレータを校正することができるが、これは、手間の掛かる破壊測定である。また、測定の空間分解能は、測定光学系の分解能で制限されていて、微細トランジスタに直接適用してマッピングすることはできない。そこで、シミュレータの適用性の確認と製造工程の監視や検査のために、微細トランジスタを、そのままの状態

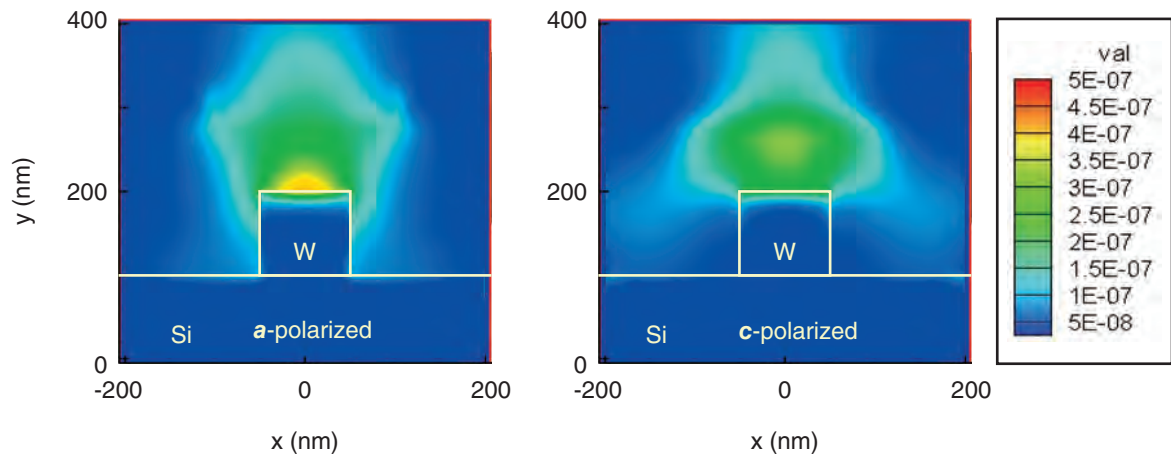


Figure 5 FDTD simulation of incident light intensity around a 100-nm W metal gate for two different polarization directions.

で非破壊測定できる方法が必要となる。

これには、Figure 2のように、完成したトランジスタの上面からラマン散乱測定を行ったときに、どのような光の伝搬経路で信号光が構成されるかを予測することが、解決策になる。Figure 5は、この測定の状況を単純化して、高さと同幅が100 nmのタンゲステンゲートの直上70 nmに、波長364 nmの入射光を半値幅120 nmのガウス分布形状に集光したときの伝搬の様子をfinite-difference time domain (FDTD)法でシミュレーションした結果である^[3]。この図では、入射光の偏光方向がゲートに垂直な時(a偏光)と平行な時(c偏光)を比較している。c偏光では、金属ゲートの上部で入射光が散乱され、ゲート下部での光強度は小さくなる。これに対し、a偏光では、金属ゲートの側壁に沿って光が伝搬し、ゲートの極近くのSi表面まで入射光が届いている。従って、この二つの偏光方向のラマン散乱測定を比較することで、ゲートのすぐ脇の50 nm付近のSi部位からの情報を見積もることができる^[3]。トランジスタ構造自体がウェーブガイドとなって、光の回折限界を超える測定を実現しているのである。

実際のトランジスタはFigure 2のような構造なので、ゲートの直上に励起光を集光してラマン散乱を測定した時に、信号光は、ゲートの側壁を通して入射した励起光が再び逆経路で出射する成分が主になる。特に、励起光と信号光を共にa偏光にとると、ゲートのウェーブガイド効果で、側壁直下のSi部位のラマン散乱を計測できる。側壁は、窒化Siで構成されていて、測定波長に対して透明で屈折率が高く、それ自体も導波路効果を持つ。それ以外の部分、例えば、ソース・ドレイン領域は、コンタクトの金属電極で覆われていて、ラマン散乱には寄与しない。また、トランジスタ領域の全体は、透明なstress linerの窒化Si膜で覆われているが、これは測定の障害にはならない。

Figure 6は、ゲート長45 nmの微細p-MOSトランジスタに

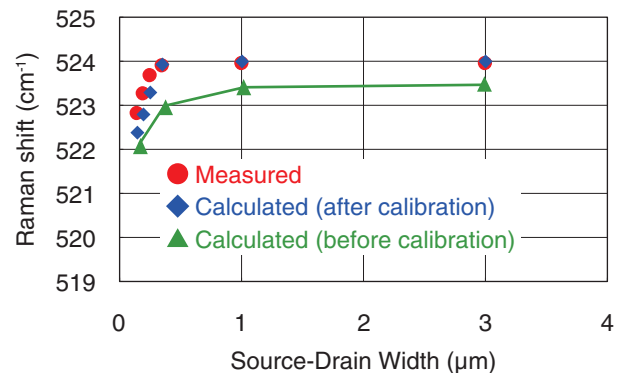


Figure 6 Raman shift measured by the vertical illumination and detection configuration through side wall spacer in a p-MOSFET with 45-nm gate length as a function of source-drain width (SDW in Figure 2). Measurement results (red) are compared with simulated results before (green) and after (blue) calibration using the data obtained by cross sectional measurements.

対して、上記のラマン散乱測定を行った結果である^[2]。この時の側壁の幅は、約20 nmで、測定波長の1/20程度であるが、これを通してラマン散乱信号を捉えられている。この図は、ソース・ドレイン領域の幅(Source-Drain Width : SDW, Figure 2)を変えた時の、側壁直下のSi部位のひずみの変化を示している。この図で、SDWを小さくすると、ラマンシフト量、即ち圧縮応力の量が減少しているのは、stress liner膜が覆う領域が減り、その効果が小さくなっていることによる。このように、前節で述べた断面測定で校正することにより、応力シミュレータで正確に側壁直下からのラマンシフト量を再現できている。校正に用いたのは、ゲート長1 μmのトランジスタであったが、この測定により、微細トランジスタへの適用性が保証できたことになる。実際、この応力シミュレータでトランジスタの内部応力分布を求め、それを用いてデバイスシミュレータで算出したトランジスタの電気特性は、実測値と良く一致した。

おわりに

分解能の向上や三次元像の再構成など、計測技術の高度化のためにシミュレーションを援用することは、既に一般的な手段となっている。測定対象の範囲が微細トランジスタなどの特定の構造体に限定されている場合、この範疇を超えて、対象物の設計シミュレータと一体化した計測により、ここで紹介したように、本来は見えない量を測ることができる。我々は、応力計測以外に、走査型トンネル顕微鏡による微細トランジスタのキャリア濃度分布や不純物分布計測にも、シミュレーションの適用を進めてきた^[4]。計測技術に対する要求がますます厳しくなる中、このようなシミュレーションの活用は、様々な対象に適用が有効な必然的な方向であると考えられる。この目的のためには、色々な物理モデルを柔軟に組み込めるTCADシミュレータが必要である。我々が、Impulse TCADの名称の下に、独自のTCADの開発を進めている所以である^[5]。このImpulse TCADは、どなたにも使っていただける体制をとっている^[6]。本稿を契機に、多くの方にハイブリッド計測技術やImpulse TCADの利用を検討していただければ幸いである。

参考文献

- [1] T. Tada, V. Poborchii, and T. Kanayama, "Study of stress distribution in a cleaved Si shallow trench isolation structure using confocal micro-Raman system", *J. Appl. Phys.* **107**(2010) 113539.
- [2] A. Satoh, T. Tada, V. Poborchii, T. Kanayama, S. Satoh, and H. Arimoto: "Mechanical Stress Evaluation of Si Metal-Oxide-Semiconductor Field-Effect Transistor Structure Using Polarized Ultraviolet Raman Spectroscopy Measurements and Calibrated Technology-Computer-Aided-Design Simulations", *Jpn. J. Appl. Phys.* **51**(2012)016603.
- [3] T. Tada, V.V. Poborchii, and T. Kanayama: "Analysis of micro-Raman spectra combined with electromagnetic simulation and stress simulation for local stress distribution in Si devices", *Appl. Phys. Lett.* **101**(2012)243511.
- [4] K. Fukuda, M. Nishizawa, T. Tada, L. Bolotov, K. Suzuki, S. Sato, H. Arimoto, and T. Kanayama, "Three-dimensional simulation of scanning tunneling microscopy for semiconductor carrier and impurity profiling", *J. Appl. Phys.* **116**(2014)023701.
- [5] <https://unit.aist.go.jp/neri/ja/ImpulseTCAD/index.html>
- [6] 森 伸也, 半導体デバイスシミュレーションのコツ(実用編), 応用物理 **87**(2018)44.